

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214741

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 F 41/02

H 0 1 F 41/02

D

C 0 4 B 41/84

C 0 4 B 41/84

B

H 0 1 F 41/04

H 0 1 F 41/04

B

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号

特願平9-13623

(22) 出願日

平成9年(1997) 1月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 池本 浩一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 大石 一夫

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 曾羽 実

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外 1 名)

最終頁に続く

(54) 【発明の名称】 電子部品およびその製造方法

(57) 【要約】

【課題】 本発明は、セラミック素体内部への電解液、水等の浸入による電気特性の劣化を抑制した電子部品およびその製造方法を提供することを目的とする。

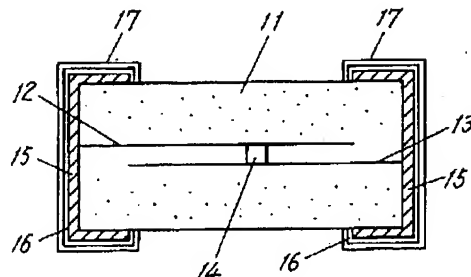
【解決手段】 セラミック素体 11 表面および表面に開放された細孔部に、有機ケイ素化合物を脱水縮合して形成することによって、電解液、水等のセラミック素体内部への浸入を防いで、電気特性の劣化を抑制するものである。

11 セラミック素体

12 第1の内部導体

13 第2の内部導体

15 外部電極



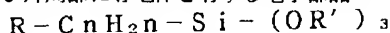
【特許請求の範囲】

\*において、前記セラミック素体の表面の細孔に、

【請求項1】 セラミック素体と、前記セラミック素体

【化1】

の内部または/および外周部に導電体を有する電子部品\*



(ただし、Rは炭素数1以上のアルキル基、

アリル基、パーフルオロアルキル基、パーフルオロアリル基の

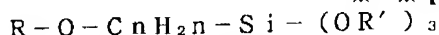
いずれかまたはその混合体、

nは自然数、R'は炭素数1ないし4のアルキル基

またはハロゲン元素)

または

※ ※【化2】



(ただし、Rは炭素数1以上のアルキル基、

アリル基、パーフルオロアルキル基、パーフルオロアリル基の

いずれかまたはその混合体、

nは自然数、R'は炭素数1ないし4のアルキル基

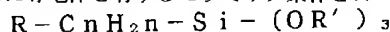
またはハロゲン元素)

を脱水縮合して含浸してなる電子部品。

★形成し、前記セラミック素体の両側面に前記導電体と導

【請求項2】 セラミック素体は、フェライト焼結体で  
ある請求項1記載の電子部品。通する外部電極を形成してなる電子部品の製造方法にお  
いて、前記外部電極を形成した後に、

【請求項3】 内部に導電体を有するセラミック素体を★ 【化3】



(ただし、Rは炭素数1以上のアルキル基、

アリル基、パーフルオロアルキル基、パーフルオロアリル基の

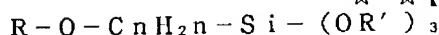
いずれかまたはその混合体、

nは自然数、R'は炭素数1ないし4のアルキル基

またはハロゲン元素)

または

☆ ☆【化4】



(ただし、Rは炭素数1以上のアルキル基、

アリル基、パーフルオロアルキル基、パーフルオロアリル基の

いずれかまたはその混合体、

nは自然数、R'は炭素数1ないし4のアルキル基

またはハロゲン元素)

を含む溶液中に浸漬し熱処理した後、前記外部電極を覆  
うように電気メッキにてメッキ層を形成してなる電子部  
品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップインダク  
タ、チップコンデンサおよびLC複合チップ部品等の電  
子部品およびその製造方法に関するものである。

【0002】

◆【従来の技術】従来の技術として、特開平7-2403  
34号公報に開示されたものが知られている。【0003】以下、従来の電子部品について、チップイ  
ンダクタを一例にとり、図面を参照しながら説明する。【0004】図4(a)は、従来のチップインダクタの  
正面図、図4(b)は同半製品の断面図である。【0005】図4(a)、(b)において、1はコイル  
形成用導電体2とフェライト粉末ペースト層3とを交互  
に積層し焼結してなる積層体である。この積層体1の表

面にある細孔(図示せず)にシリコン樹脂およびフェノール樹脂から選ばれる合成樹脂を含浸しているものである。4は積層体1の対向する側部にコイル形成用導電体2の一端と電気的に接続する外部電極である。

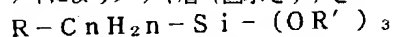
【0006】以上のように構成された従来のチップインダクタについて、以下にその製造方法を説明する。

【0007】まず、コイル形成用導電体2とフェライト粉末ペースト層3とを交互に積層し、一体焼結して積層体1を形成する。

【0008】次に、積層体1の対向する側面にコイル形成用導電体2と電気的に接続するように外部電極4を形成する。

【0009】次に、前工程で得られた外部電極4を有する積層体1を、図5に示すように、ビーカー5の中に入れた「シリコン樹脂2：ガソリン8」の割合の混合液中に浸漬し、これをデシケータ6内に封じ、真空ポンプ8で吸引し、真空含浸を終了してビーカー5から取り出しガソリンで十分に表面洗浄した後、約100℃の高温で約30分間乾燥し硬化させる。

【0010】最後に、前工程で得られた積層体1の外部電極4の上に電気メッキによりメッキ層(図示せず)を\*

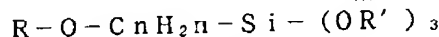


(ただし、Rは炭素数1以上のアルキル基、  
アリル基、パーフルオロアルキル基、パーフルオロアリル基の  
いずれかまたはその混合体、  
nは自然数、R'は炭素数1ないし4のアルキル基  
またはハロゲン元素)

【0015】または

30※【化6】

【0016】



(ただし、Rは炭素数1以上のアルキル基、  
アリル基、パーフルオロアルキル基、パーフルオロアリル基の  
いずれかまたはその混合体、  
nは自然数、R'は炭素数1ないし4のアルキル基  
またはハロゲン元素)

【0017】を脱水縮合して含浸してなるものである。

40★および外周部に導電体を有する電子部品において、前記セラミック素体の表面の細孔に、

【0018】

【発明の実施の形態】本発明の請求項1に記載の発明

【0019】

は、セラミック素体と、前記セラミック素体の内部/お★

【化7】

\*形成してチップインダクタを製造していた。

【0011】

【発明が解決しようとする課題】しかしながら、上記従来のものでは、積層体1の表面にある細孔にシリコン樹脂とガソリンとの混合液(以下、「混合液」と記す。)に付着させた後、その硬化前にガソリンで洗浄するため、一度積層体1に付着した混合液が溶出して、混合液の残留する箇所と残留しない箇所を生ずるので、電気メッキによりメッキ層を形成する際に、電解液の浸入や完成品への水分の浸入を完全に防止することができず、電気特性が劣化するという課題を有していた。

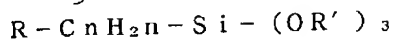
【0012】上記課題を解決するために本発明は、電解液や水分の浸入を防止して、電気特性を向上させた、電子部品およびその製造方法を提供することを目的とするものである。

【0013】

【課題を解決するための手段】上記目的を達成するために本発明は、セラミック素体の表面の細孔に、

【0014】

【化5】



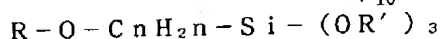
(ただし、Rは炭素数1以上のアルキル基、  
アリル基、パーフルオロアルキル基、パーフルオロアリル基の  
いずれかまたはその混合体、  
nは自然数、R'は炭素数1ないし4のアルキル基  
またはハロゲン元素)

【0020】または

\*【化8】

【0021】

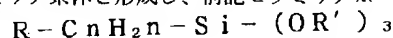
\*10



(ただし、Rは炭素数1以上のアルキル基、  
アリル基、パーフルオロアルキル基、パーフルオロアリル基の  
いずれかまたはその混合体、  
nは自然数、R'は炭素数1ないし4のアルキル基  
またはハロゲン元素)

【0022】を脱水縮合して含浸してなるものである。 ※素体の両側面に前記導電体と導通する外部電極を形成し  
また、請求項2記載の発明は、請求項1に記載のセラミ 20 てなる電子部品の製造方法において、前記外部電極を形  
ック素体は、フェライト焼結体であるものである。 成した後に、

【0023】また、請求項3に記載の発明は、内部に導 【0024】  
電体を有するセラミック素体を形成し、前記セラミック※ 【化9】



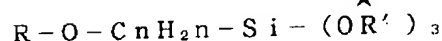
(ただし、Rは炭素数1以上のアルキル基、  
アリル基、パーフルオロアルキル基、パーフルオロアリル基の  
いずれかまたはその混合体、  
nは自然数、R'は炭素数1ないし4のアルキル基  
またはハロゲン元素)

【0025】または

★【化10】

【0026】

★



(ただし、Rは炭素数1以上のアルキル基、  
アリル基、パーフルオロアルキル基、パーフルオロアリル基の  
いずれかまたはその混合体、  
nは自然数、R'は炭素数1ないし4のアルキル基  
またはハロゲン元素)

【0027】を含む溶液中に浸漬し熱処理した後に、前  
記外部電極を覆うように電気メッキにてメッキ層を形成  
してなるものである。

【0028】上述した構成および製造方法により、電解  
液、水等がセラミック素体の内部への浸入を防げるとい  
う作用を有するものである。

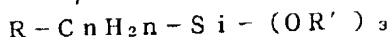
【0029】以下、本発明の一実施の形態における電子☆

☆部品およびその製造方法について、チップインダクタを  
一例にして図面を参照しながら説明する。

【0030】図1は本発明の一実施の形態におけるチッ  
プインダクタの断面図である。図1において、11は表  
面および表面に開放された細孔(図示せず)に

【0031】

【化11】



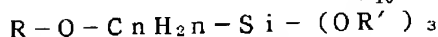
(ただし、Rは炭素数1以上のアルキル基、  
アリル基、パーフルオロアルキル基、パーフルオロアリル基の  
いずれかまたはその混合体、  
nは自然数、R'は炭素数1ないし4のアルキル基  
またはハロゲン元素)

【0032】または

\*【化12】

【0033】

\*10



(ただし、Rは炭素数1以上のアルキル基、  
アリル基、パーフルオロアルキル基、パーフルオロアリル基の  
いずれかまたはその混合体、  
nは自然数、R'は炭素数1ないし4のアルキル基  
またはハロゲン元素)

【0034】を脱水縮合して形成したフェライト焼結体からなるセラミック素体である。12、13はセラミック素体11の内部に互い違いに設けられた銀等からなる第1、第2の内部導電体である。14は第1、第2の内部導電体12、13との間に設けられ、かつ第1、第2の内部導電体12、13とを電気的に層間接続させる銀等からなる接続ビアである。15はセラミック素体11の対向する側面に設けられ、第1、第2の内部導電体12、13のいずれか一方と電気的に接続するように設けられた銀等からなる外部電極である。16は外部電極15を覆うように設けられたニッケル等からなるメッキ層、17はメッキ層16を覆うように設けられたスズ等からなるはんだメッキ層である。

【0035】ここで、金属酸化物からなるセラミック素体11の表面の金属原子は室温においては水酸化物になっており、この表面の水酸基と本発明の有機ケイ素化合物とが脱水縮合し、セラミック素体11の表面に脱水膜を形成することとなり、セラミック素体11の内部および表面に存在する細孔は微少であるので、撥水性になったセラミック素体11の表面からメッキ液等水溶液は浸入できず、セラミック素体11の内部に影響を与えないとともに、外部電極15に使用される銀、Pd等の貴金属表面には上記水酸基が形成されないため、外部電極15は有機ケイ素化合物とは反応せず、撥水性とならないのでメッキ液と良好な接触を保ち、ニッケル、はんだ等のメッキ膜が安定に形成されるのである。

【0036】なお、過剰の有機ケイ素化合物は、表面とは反応せず、熱処理過程で蒸発するため、従来の樹脂浸漬の場合の様に洗浄工程は不要であり、再現性の良い表面処理を行うことができる。

【0037】以上のように構成された本発明の一実施の形態におけるチップインダクタについて、以下にその製※50

※造方法を説明する。

20 【0038】図2、図3は本発明の一実施の形態におけるチップインダクタの製造方法を示す工程図である。

【0039】まず、図2(a)に示すように、上面に銀系の厚膜ペーストを印刷し、乾燥して設けられた複数の渦巻き状の第1、第2のコイル導体パターン21、22を有する第1、第2のグリーンシート23、24を、第1、第2のグリーンシートの第1、第2のコイル導体パターン21、22の一方の終端に対応する貫通孔25を有する第3のグリーンシート26を介して第1、第2のグリーンシート23、24の第1、第2のコイル導体パターン21、22とを電気的に接続するように、約70 kg/cm<sup>2</sup>で加圧し積層する。

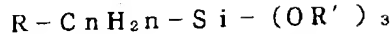
【0040】次に、図2(b)に示すように、第1、第2のグリーンシート23、24の第3のグリーンシート26と対向する面のそれぞれに、第4、第5のグリーンシート27、28を積層した後、約70 kg/cm<sup>2</sup>で加圧して積層体29を形成する。

【0041】次に、図2(c)に示すように、側面に対向して第1、第2のコイル導体パターン21(22)の一部が露出するように積層体29をトムソンカット等により個片に切断した後、約900℃で約3時間焼成し、チップ状のフェライト焼結体30を得る。

【0042】次に、図2(d)に示すように、フェライト焼結体30の側面の一部から露出している第1、第2のコイル導体パターン21(22)と電気的に接続するように、フェライト焼結体30の対向する側面に銀等の厚膜導体ペーストをパロマ法等により塗布し、約850℃で約10分間焼成して外部電極31を形成して、チップインダクタ32を得る。

【0043】次に、図3(a)に示すように、  
【0044】

【化13】



(ただし、Rは炭素数1以上のアルキル基、

アリル基、パーフルオロアルキル基、パーフルオロアリル基の

いずれかまたはその混合体、

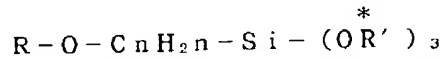
nは自然数、R'は炭素数1ないし4のアルキル基

またはハロゲン元素)

【0045】または

10\*【化14】

【0046】



(ただし、Rは炭素数1以上のアルキル基、

アリル基、パーフルオロアルキル基、パーフルオロアリル基の

いずれかまたはその混合体、

nは自然数、R'は炭素数1ないし4のアルキル基

またはハロゲン元素)

【0047】が約1重量%となるように、希釈剤として 20※示した。

イソプロピルアルコールと混合し調整したコーティング液33を容器34に入れ、その中に前工程で得られたチップインダクタ32を約10分間浸漬する。ここで、浸漬は必要に応じて真空雰囲気中で行っても良い。また、希釈剤はイソプロピルアルコール以外にも、エタノール、トルエン等有機溶媒なら良く、これらに限定されるものではない。

【0048】次に、図3(b)に示すようにチップインダクタ32を取り出し、約160℃の高温で約20分間乾燥する。

【0049】最後に、前工程で得られたチップインダクタ32の外部電極31を覆うようにニッケルメッキを施し、さらにこのニッケルメッキを覆うようにスズ等のはんだメッキを施して、完成品であるチップインダクタを製造するものである。

【0050】(表1)は上述した本実施の形態により作製したチップインダクタ36と従来例により作製したチップインダクタとを、プレッシャークッカー試験(温度121℃、湿度100%、圧力2atm)にて100時間後の周波数100MHzでのインダクタンス値の変化を 40調べて比較したものである。各1000個試験し、試験前後において特性が50%以上変化したものの発生率を※

【0051】

【表1】

本実施の形態	従来例
0%	28%

【0052】(表1)より明らかなように、本実施の形態により作製したチップインダクタは、セラミック表面および表面に開放された細孔にムラ無く保護膜が形成されたことにより水分が浸入しないため試験後のインダクタンス値の変化は小さく、チップインダクタの電気的信頼性を大幅に改善しているものである。

【0053】(表2)は上述した本実施の形態により作製したチップインダクタ36、従来例により作製したチップインダクタ、従来例により作製したチップインダクタおよび硬化前に積層体表面を洗浄しなかったもの、以上3種類の試料において、外部電極上のメッキ状態を比較観察した結果である。各1000個観察し、メッキ膜が形成されていない試料の発生率を示した。

【0054】

【表2】

本実施の形態	従来例	洗浄無しの従来例
0%	13%	100%

【0055】(表2)より明らかなように、積層体表面を洗浄して付着した混合液を除去しなかった従来例のチップインダクタでは外部電極上にメッキ層が形成できな★50

★かったが、本実施の形態により作製したチップインダクタでは全数においてメッキ膜が形成できた。洗浄を必要とせずとも目的とする製品を得るものである。

11

【0056】本発明が適用される電子部品は、チップインダクタに限定されず、セラミック表面が露出しているものならば何でも良い。

【0057】

【発明の効果】以上のように本発明は、セラミック素体表面および表面に開放された細孔部に、有機ケイ素化合物を脱水縮合して得られる膜を形成することにより、電解液、水等のセラミック素体内部への浸入を防ぎ、電気特性を向上させるとともに、保護膜がセラミック素体上には形成されるが外部電極上には形成されないように形成されるので、従来のように膜形成後の外部電極上へ電気メッキするために、一度付着した混合液を洗浄除去してから硬化する必要があるため、保護膜形成有無のばらつきが生じないので耐電解質、耐湿性に優れた製品となり、かつ、洗浄分の作業工数が低減できると共に洗浄液

12

の使用量が低減できる、という電子部品およびその製造方法を提供できるものである。

【図面の簡単な説明】

【図1】本発明の一実施の形態におけるチップインダクタの断面図

【図2】同工程図

【図3】同工程図

【図4】(a) 従来のチップインダクタの正面図

(b) 同断面図

10 【図5】同工程図

【符号の説明】

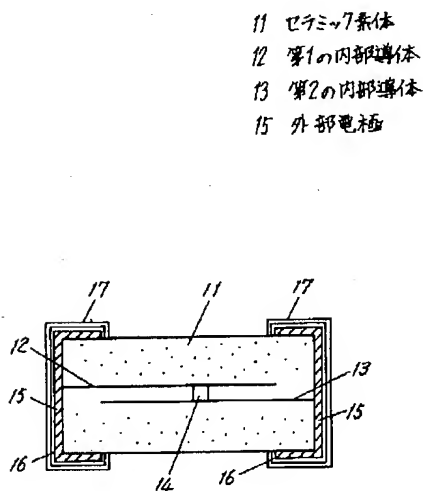
11 セラミック素体

12 第1の内部導電体

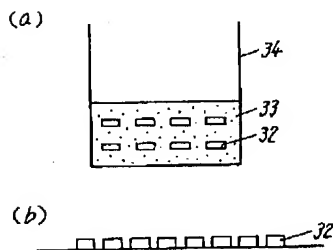
13 第2の内部導電体

15 外部電極

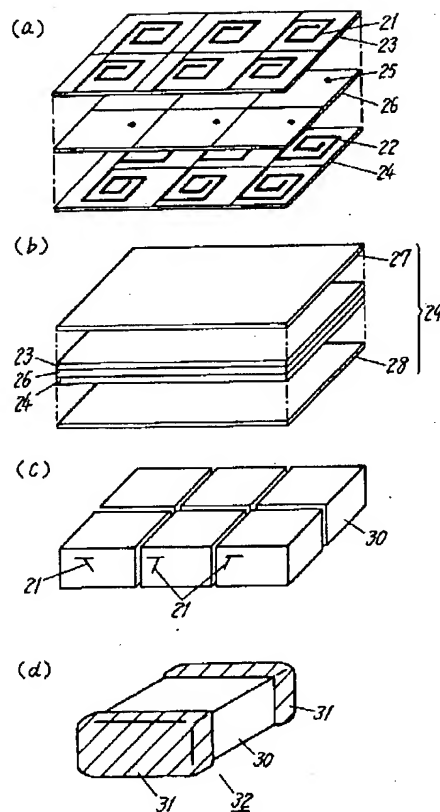
【図1】



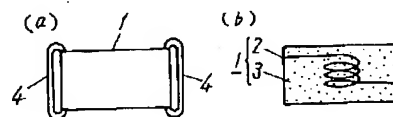
【図3】



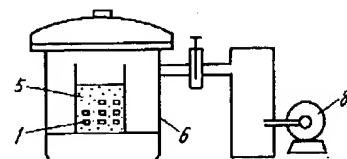
【図2】



【図4】



【図5】



フロントページの続き

(72)発明者 長谷川 洋  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 橋本 恵美子  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内